

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51)•Int. Cl. 6	(11) 공개번호	특 1998-032494
G01R 31 /26	(43) 공개일자	1998년 07월 25일
(21) 출원번호	특 1997-050861	
(22) 출원일자	1997년 10월 02일	
(30) 우선권주장	96-263145 1996년 10월 03일 일본 (JP)	
(71) 출원인	가부시키가이샤아드반테스트 오오우라히로시	
(72) 발명자	일본 도쿄도 네리마구 아사히초 1쵸메 32번 1고 시모가마가즈시게	
(74) 대리인	일본 사이다마켄 교다시 나가노 4792-6 에이 101 장용식, 정진상	
상사청구 : 있음		
(54) 메모리 시험장치		

요약

패턴 발생기에서 출력되는 각종 패턴데이터를 패턴선택터에 의해 희망하는 배열의 순서로 꺼내고, 실패형을 갖는 시험 패턴신호로 변환하여 피시험메모리의 각 판에 부여하는 구성으로된 메모리시험장치에 있어서, 피시험메모리에 각 /0 판에 대응하여 설치된 패턴선택터는 선택하는 패턴을 지정하는 패턴선택제어신호가 격납된 복수의 레지스터와, 패턴발생기에서 발생된 레지스터 선택제어신호(PS)에 의해 지정된 레지스터를 선택하는 제1멀티플렉서와, 그 제1멀티플렉서에서 선택된 레지스터의 패턴선택 제어신호에 의해 제어되어 패턴발생기로 부터의 패턴데이터에서 패턴을 선택하는 제2멀티플렉서를 포함한다.

배경도

도 1

도 2

도 3은 도 1의 메모리 시험 장치

도 1은 본발명에 따른 메모리시험장치로 시험대상이 되는 메모리 설명도.

도 2는 도 1의 메모리 동작을 설명하기 위한 판형도.

도 3은 도 1의 메모리의 각 판에 부여하는 신호의 상세한 설명도.

도 4는 종래의 메모리 시험장치 개요를 설명하기 위한 블록도.

도 5는 도 4에 있어서의 패턴발생기와 패턴선택터 구성을 나타내는 블록도.

도 6은 본발명의 주요부 구성설명 블록도.

도 7은 도 6에 있어서의 패턴발생기(11) 구성을 나타내는 블록도.

도면의 주요부분에 대한 부호의 설명

11: 패턴발생기 12: 패턴선택터
11B:인스트럭션 메모리 12A~12E: 레지스터
12F, 12G: 멀티플렉서 12H: 플립플롭

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본발명은 예를들면 플래쉬메모리 등이라 일컫는 대용량화된 반도체 메모리를 시험하는 메모리시험장치에 관한 것이다.

메모리의 대량화에 따른 핀수 증가를 억제하는 수법의 하나에 I/O 핀(입출력핀)을 본래의 데이터 입출력핀으로 사용하는 외에, 커맨드 입력핀, 어드레스 입력핀 등으로 겸용하는 메모리가 생각된다. 이 메모리는 도 10에 나타난 바와같이 예를들면 8개의 입출력핀(I/O-1 ~ I/O-8)외에 커맨드 입력제어핀(P_{CL})과, 어드레스 입력제어핀(P_{AL})과, 기입제어핀(P_{WE})과, 기입금지제어핀($P_{\overline{WE}}$)과, 칩선택제어핀($P_{\overline{CS}}$)과, 판독제어핀($P_{\overline{OE}}$)등이 설치되어 있다.

8개의 입출력핀(I/O-1 ~ I/O-8)에 예를들면 3사이클에 걸쳐 어드레스신호를 입력하면 전부 $8 \times 3 = 24$ 비트의 어드레스 신호를 입력할수 있다. 24비트의 어드레스신호를 사용함으로써 약 16M 비트의 기억용량을 갖는 메모리 영역을 액세스할수 있다.

또한, 4 사이클에 걸쳐 어드레스신호를 입력함으로써 $8 \times 3 = 24$ 비트의 어드레스신호를 입력할수 있고, 이에따라 약 40 비트의 메모리 영역을 액세스할수 있다.

이와같이 동일핀을 시(時) 분할하여 이용하고, 복수사이클로 분할하여 어드레스신호를 입력함으로써 핀수를 증가하지 않고 메모리용량을 확대할수 있는 이점이 얻어진다. 이에따라 동일 패키지 구조로 각종 기억용량을 갖는 메모리를 구성할수 있게 된다.

도 2에 이 종류의 메모리 동작 타이밍예를 도시한다. 도 2에 있어서, 행(行) 0는 입출력핀(I/O-1 ~ I/O-8)에 부여하는 신호배열을 나타내고, 이 신호의 구성은 선두에 커맨드신호(C0~C7)가 배치되고, 그 다음에 어드레스신호(A0~A21)가 배치되고, 어드레스신호(A0~A21) 다음에 데이터(DAT)가 배치되어 1소(組)의 신호 배열이 구성된다.

커맨드신호(C0~C7), 어드레스신호(A0~A21), 데이터(DAT)를 구별하여 메모리에 입력하기 위하여 커맨드입력제어핀(P_{CL})과, 어드레스입력제어핀(P_{AL})이 설치되고, 커맨드입력제어핀(P_{CL})에 입력하는 커맨드입력제어핀(CLE)은 도 2 행 A와 같고

H 논리로 일체세움으로써 커맨드신호(C0~C7)가 메모리에 수용된다. 또 어드레스입력제어핀(2)에 부여하는 어드레스입력제어신호(ALE)를 행 8 와 같이 H 논리로 일체 세운 상태에서는 출력단자(/0-1~1/0-8)에 부여하는 신호가 어드레스신호(A0~A21)로서 인식되어 메모리에 수용되고, 이 어드레스 신호에 의해 데이터를 기입해야 할 어드레스 또는 판독하고자 하는 어드레스가 액세스된다. 도예(圖例)에서는 3 사이클을 사용하여 22 비트의 어드레스신호(A0~A21)를 공급하고, 4M 바이트의 기억용량의 메모리를 액세스할 경우를 표시한다. 또, 데이터는 DAT₀~DAT₇을 입력단자(1/0~1/0-8)에 시분할하여 부여하고, 이들 데이터(DAT₀~DAT₇)를 메모리에 기입할 경우를 예시한 경우를 나타낸다.

도 3에 각 입출력단자(1/0~1/0-8)에 입력하는 신호의 상세예를 표시한다. 사이클 1에서는 8비트의 커맨드신호(C0~C7)가 입출력핀(1/0-1~1/0-8)에 공급된다. 사이클 2에서는 어드레스신호중의 선두에서 8비트의 A0~A7이 부여된다. 이 어드레스신호를 이하 컬럼 어드레스신호(또는 어드레스)라 일컫는다. 사이클 3에서는 A8~A15까지 8비트의 어드레스신호가 부여된다. 이 어드레스신호를 낸드 어드레스신호(또는 Y어드레스)라 일컫는다. 사이클 4에서는 A16~A21까지의 6비트의 어드레스신호를 부여한다. 이 어드레스신호를 블록어드레스신호(또는 Z 어드레스)라 일컫는다. 이 어드레스신호(A0~A21)에 이어서 데이터(DAT₀)를 구성하는 각 비트신호(D0~D7)가 입력된다.

상기와 같이 입출력핀을 데이터의 입출력핀으로 이용하는 것 외에, 어드레스 입력핀, 커맨드 입력핀 등의 입력핀으로서 유동(流用)하는 형식의 메모리에 있어서는 도 3 과 같이 각 입출력핀(/0-1~1/0-8)에 각종 종류의 다른 신호를 공급하지 않으면 안된다. 이 사실은 이 종류의 메모리를 시험하는 메모리시험장치로 요구되는 사항이고, 이 종류의 메모리를 시험하는 것은 각 입출력단자(1/0-1~1/0-8) 각각에 커맨드신호, 어드레스신호, 데이터의 각종신호를 입력하지 않으면 안된다는 것을 의미한다.

메모리시험장치는 도 4 와 같이 기본적으로 패턴발생기(11)와, 패턴발생기(11)가 출력하는 각종 패턴신호를 선택하여 각 핀에 부여하는 패턴데이터를 인출하기 위한 패턴선택수단(12)과, 패턴선택수단으로 인출한 패턴데이터를 실패형을 갖는 패턴신호로 변환하는 포맷터(13)와, 이 포맷터(13)로 생성한 패턴신호를 피시형메모리(MUT)에 부여하는 드라이버(14)와, 피시형메모리(MUT)에서 판독하여 출력되는 신호의 논리레벨을 판정하여 수용하는 레벨비교기(15)와, 레벨비교기(15)로 판정한 논리레벨을 기대치 데이터와를 비교하는 논리비교기(16)와, 논리비교기(16)에 있어서 불일치가 검출되어 피시형메모리(MUT)에 불량 셀이 존재하는 것이 검출될 때, 그 불량셀의 어드레스에 불량을 나타내는 논리치를 기억하고, 그 기억을 판독하여 불량해석에 사용하는 불량해석메모리(17)와, 패턴발생기(11), 패턴선택수단(12), 포맷터(13), 드라이버(14), 레벨비교기(15), 논리비교기(16) 등에 타이밍신호를 주는 타이밍신호발생기(18)와, 메모리시험장치 전체를 제어하는 테스트프로세서(10)에 의해 구성된다.

또한, 도면에서는 패턴선택터(12), 포맷터(13), 드라이버(14), 레벨비교기(15)를 각각 1개의 블록으로 표현하고 있으나, 이들 블록내에는 피시형메모리(MUT)의 핀수에 대응한 수의 채널이 준비되고, 각 핀에 대하여 패턴신호가 공급된다.

종래, 패턴선택터(12)에서는 테스트프로세서(10)에 설치된 프로그램에 따라 출력되는 제어신호가 데이터버스(DBUS) 및 제어버스(CBUS)를 통하여 부여되고, 피시형메모리(MUT)의 각 핀에 부여되는 패턴신호를 선택하고 있다. 따라서, 상기와 같이 입출력핀(1/0-1~1/0-8)에 커맨드신호, 어드레스신호, 데이터 등, 종류가 다른 신호를 각 핀마다 선택하는 데는 테스트프로세서(10)에 설치하는 프로그램 내용이 번잡하고, 그 작성에는 많은 수고와 번잡한 작업을 필요로 하고, 프로그램 작성에 큰 리용이 드는 결점이 있다. 이하에 그 점에 대하여 설명한다.

종래, 테스트프로세서(10)내에는 버스레지스터(10R)가 설치되어 있고, 그 버스레지스터(10R)에는 미리 피시형메모리의 핀조건(PD)을 설정한다. 피시형메모리의 핀(/0-1~1/0-8)에 대한 핀조건(PD)은 예를들면,

PD1-8=IN1, XOR, ACLK1, BCLK1, CCLK1, SOM, RDSMX0-7, Y0-7, D0-7

와 같이 기술된다. IN1은 핀(1/0-1~1/0-8)을 입력모드에 설정하고, XOR, ACLK1, BCLK1, CCLK1은 포맷터(13)에서 사용 되는 파형 합성논리 및 클럭 종류를 지정하고, SOM 은 Y어드레스를 2사이클 연속시키는 것을 지정하고, RDSM은 데이터 종류를 지정하고 있다. X0-7, Y0-7, D0-7은 핀(/0-1~1/0-8)에 부여되는 패턴의 종류(X어드레스, Y어드레스, 데이터)를 표시하고 있다. 앞줄만은 이들 핀 조건을, 특히 최후에 든 패턴의 종류에 관계없이 이하의 설명은 핀 조건으로만 단순히 PD = A, B, C, D 와 같은 형식으로 표시하는 것으로한다. 즉, 도 1의 예의 피시형메모리에 대하여 핀(/0-1...

하도록 인스트럭션메모리(11B)에 격납하는 인스트럭션 스텝을 기술할 필요가 있었다. 따라서, 그 만큼 패턴발생을 위한 인스트럭션 프로그램을 작성하는데 어려움이 있었다.

본발명의 구성 및 작용

본발명의 목적은 각 입출력 단자에 커맨드신호, 어드레스신호, 데이터등으로 선택하기 위한 인스트럭션 프로그램을 복잡하게 하지 않고, 큰 어드레스 사이즈의 메모리에 대한 시험패턴의 발생이 가능한 메모리 시험장치를 제공하는 것이다.

본발명에 따른 복수의 입력핀을 갖는 피시험 메모리에 패턴을 부여하여 시험을 행하는 메모리 시험장치는,

어드레스신호, 데이터신호, 커맨드신호의 패턴데이터를 발생함과 동시에 레지스터 선택제어신호를 생성하는 패턴발생기와

상기 패턴발생기에서 출력되는 패턴 데이터에서 상기 피시험메모리의 각 입출력핀에 대응하여 하나의 패턴데이터를 선택하는 패턴선택터와,

상기 패턴선택터로 선택된 패턴데이터를 소망하는 실패형(波波形)의 패턴으로 변환하는 포매터와,

상기 포매터로 부터의 패턴을 대응하는 입출력핀에 부여하는 드라이버를 포함하고, 상기 패턴선택터는,

상기 패턴발생기에서 출력되는 패턴데이터를 선택하기 위한 패턴 선택제어신호를 기억하는 적어도 상기 신호의 종류에 대응하여 설치된 복수의 패턴선택 제어신호 레지스터와,

상기 패턴발생기로 부터의 레지스터 선택제어신호에 따라 이들 레지스터에서 패턴선택 제어신호를 선택하여 출력하는 제어신호선택 멀티플렉서와,

선택한 상기 패턴선택 제어신호에 따라 상기 패턴발생기로 부터의 패턴데이터를 선택하고, 상기 포매터에 부여하는 패턴 선택 멀티플렉서를 포함한다.

이와같이 구성함으로써 테스트레지스터에 판조건을 설정할 필요가 없고, 또 패턴발생기의 인스트럭션메모리에 격납하는 인스트럭션 프로그램을 복잡화하지 않고 큰 어드레스 사이즈의 메모리의 입출력핀에 대한 패턴이 선택가능하게 된다.

(바람직한 실시예의 상세한 설명)

도 6에 본발명의 1실시예를 나타낸다. 도면중 11은 패턴발생기, 12는 패턴선택터를 나타낸다. 패턴발생기(11)의 구성 자체는 도 7과 같이 도 5의 종래구성과 동일하나, 본발명은 인스트럭션메모리(11B)의 제어핀드(11B6)에 기입된 제어신호에 의해 패턴선택터(12)의 멀티플렉서(12G)를 제어하는(도 5) 대신, 후기와 같이 제어핀드(11B6)에 기입된 제어신호(PJ)에 의해 패턴선택터(12)에 설치한 복수의 레지스터(12A~12E) 선택을 행하는 멀티플렉서(12F)를 제어하고, 그 선택된 레지스터에 격납되어 있는 패턴선택제어신호에 의해 패턴선택터(12G)의 패턴선택을 제어한다. 이 설명은 이 패턴선택터(12)는 복수의 레지스터(12A, 12B, 12C, 12D, 12E)와, 멀티플렉서(12F, 12G) 및 플립플롭(12H)으로 구성되어 있다. 이들 레지스터(12A~12E)수는 공통의 입출력핀(/O-1~1/O-8)에 부여하는 신호의 종류수만큼 있으면 되나, 피시험 메모리 종류에 따라 그 신호의 종류수는 다른 수가 있으므로 가장 종류가 많은 경우에 대응한 수만큼 설치해 두는 것이 좋다.

즉, 레지스터(12A)는 커맨드용 레지스터, 12B는 결합어드레스용 레지스터, 12C는 낸드 어드레스용 레지스터, 12D는 블록 어드레스용 레지스터, 12E는 데이터용 레지스터로서 이용된다. 이들 각 레지스터(12A~12E)에는 커맨드신호를 꺼내기 위한 제어신호(CA), 결합어드레스를 꺼내기 위한 제어신호(CB), 낸드 어드레스를 꺼내기 위한 제어신호(CC), 블록어드레스를 꺼내기 위한 제어신호(CD), 데이터를 꺼내기 위한 제어신호(CE)가 테스트프로세서(10)에서 각각 데이터버스(BUS)를 통하여 기입된다. 이 기입은 제어버스(CBUS)를 통하여 보내오는 기판지령신호(명, W_L , R_L , W_H , R_H)에 의해 실행된다.

레지스터(12A~12E)에 기입된 각 제어신호(CA~CE)는 출력측으로 판독되고, 각각이 멀티플렉서(12F)의 입력단자(A, B, C, ..., E)에 입력된다. 패턴발생기(11)의 인스트럭션메모리(11B)에는 패턴발생을 위한 일련의 인스트럭션과 함께 그 메모리의 제어필드(11B6; 도 5 참조)에, 멀티플렉서(12F)에서 선택하는 신호를 지정하는 제어신호(PJ)가 데이터로서 기술되어 있다. 멀티플렉서(12F)는 이 인스트럭션메모리(11B)의 제어필드(11B6)에서 순차 출력된 제어신호(PJ)에 의해 입력단자(A, B, C, D, E)가 지정된 순으로 교체 제어된다.

멀티플렉서(12F)의 교체제어에 의해 제어신호(CA, CB, CC, CD, CE)가 선택되고, 멀티플렉서(12G)의 제어단자에 부여된다. 멀티플렉서(12G)는 이들 제어신호(CA~CE)에 의해 제어되고, 패턴발생기(11)에서 출력되는 다수의 패턴신호중에서 제어신호(CA)에 의해 커맨드신호(C0, ..., C7)에 대응하는 하나의 비트패턴데이터를 꺼내고, 제어신호(CB)에 의해 X어드레스(X0, ..., X7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CC)에 의해 Y어드레스(Y0, ..., Y7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CD)에 의해 Z어드레스(Z0, ..., Z7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CE)에 의해 피시형메모리(MUT)에 기입하기 위한 데이터(D0, ..., D7)의 대응하는 비트패턴데이터를 꺼낸다. 이들 각 패턴데이터는 플립플롭(12H)에 있어서, 클럭(CLK)에 의해 타이밍되고, 포매터(13)에 입력되어 실파형으로 변환된다. 포매터(13)로 부터의 실파형은 여기서는 도시하지 않으나, 도 4와 동일하게 드라이버를 통하여 피시형메모리(MUT)의 대응하는 핀에 부여된다.

상기 레지스터(12A~12E) 및 멀티플렉서(12F, 12G) 및 리타이밍용 플립플롭(12H)으로 이루어지는 패턴선택터(12)를 각각 피시형메모리(MUT)의 핀수만큼 설치해둌으로써 각 패턴선택터(12)에 설치한 레지스터(12A~12E)에 각 핀에 부여되는 커맨드신호, 커맨드어드레스(X어드레스), 낸드어드레스(Y어드레스), 블록어드레스(Z어드레스), 데이터를 꺼내기 위한 패턴선택 제어신호(CA~CE)를 미리 기입함으로써, 메모리(1C)의 어느 핀이 임출력 핀에 할당되더라도 각 임출력핀에 대응한 커맨드신호, 커맨드어드레스신호, 낸드 어드레스신호, 블록어드레스신호, 데이터를 꺼내기 위한 제어신호(CA~CE)를 레지스터(12A~12E)에서 판독하면 되기 때문에 테스트 프로세서(10)의 버스레지스터에 핀 조건을 설정할 필요가 없다. 또, 패턴발생기(11)의 인스트럭션메모리(11B)에는 패턴발생을 위한 일련의 인스트럭션과 함께 발생할 제어신호(PJ)를 기술해 두어지고, 인스트럭션 프로그램 작성이 간단하다.

발명의 효과

이상 설명한 바와같이 본발명에 따르면 공통의 핀에 상이한 성질의 패턴신호를 공급할 경우에 그 패턴신호에 선택을 복수의 레지스터로 설정할 패턴선택신호로 멀티플렉서(12G)를 제어하여 필요한 패턴을 선택하기 때문에 패턴발생을 위한 인스트럭션 프로그램 작성이 간단하다.

(57) 청구의 범위

청구항 1. 복수의 임출력핀을 갖는 피시형메모리에 패턴을 부여하여 시험을 행하는 데모리 시험장치로서,

어드레스신호, 데이터신호, 커맨드신호의 각 패턴데이터를 발생함과 동시에 레지스터 선택제어신호를 생성하는 패턴 발생기와,

상기 패턴발생기로부터 출력되는 패턴데이터로부터 상기 피시형메모리의 각 임출력핀에 대응하여 하나의 패턴데이터를 선택하는 패턴선택터와,

상기 패턴선택터에서 선택된 패턴데이터를 회상하는 실파형의 패턴으로 변환하는 포매터와,

상기 포매터로부터의 패턴을 내용하는 임출력핀에 부여하는 드라이버를 포함하고, 상기 패턴선택터는,

상기 패턴발생기로부터 출력되는 패턴데이터를 선택하기 위한 패턴선택 제어신호를 기억하는 적어도 상기 신호의 종류에

대응하여 설치된 복수의 패턴선택 제어신호 레지스터와,

상기 패턴발생기로 부터의 레지스터 선택제어신호에 따라 이들 레지스터로부터 패턴선택제어신호를 선택하여 출력하는 제어신호선택 멀티플렉서와,

선택한 상기 패턴선택 제어신호에 따라 상기 패턴 발생기로 부터의 패턴데이터를 선택하여, 상기 포매터에 부여하는 패턴 선택 멀티플렉서를 포함하는 것을 특징으로 하는 메모리 시험장치.

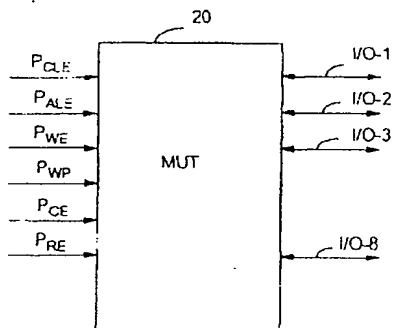
청구항 2. 제 1 항에 있어서, 상기 복수의 패턴선택 제어신호 레지스터는 상기 커맨드신호에 대응하는 패턴데이터를 선택하는 제어신호를 격납하는 커맨드레지스터와, 복수의 어드레스 신호에 대응하는 패턴데이터를 각각 선택하는 제어신호를 각각 격납하는 복수의 어드레스 레지스터와, 상기 데이터 신호에 대응하는 패턴데이터를 선택하는 제어신호를 격납하는 데이터 레지스터를 포함하는 것을 특징으로 하는 메모리 시험장치.

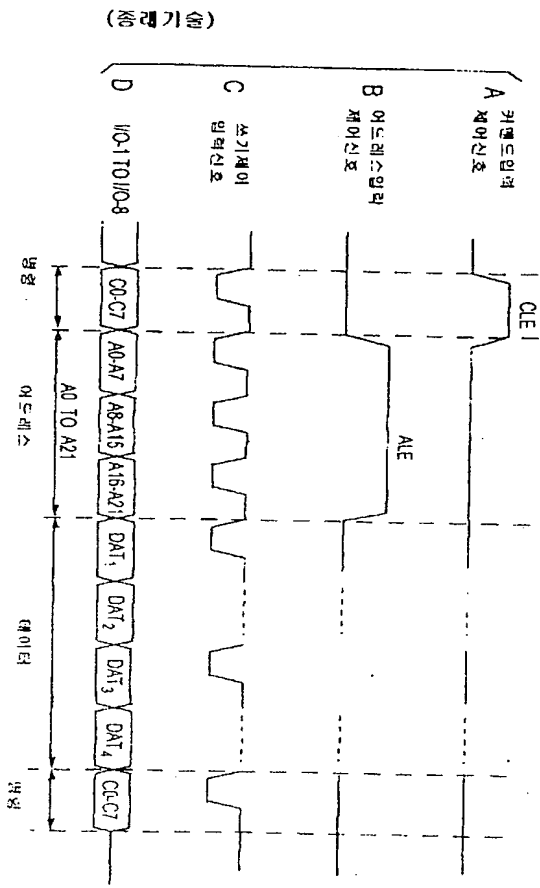
청구항 3. 제 1 항 또는 제 2 항에 있어서, 상기 패턴발생기는 패턴발생 시퀀스를 제어하는 시퀀스 제어부와, 패턴데이터 발생에 필요한 어드레스 연산명령과, 데이터와 상기 레지스터 선택제어신호와를 프로그램으로 기술한 인스트럭션메모리화, 상기 인스트럭션메모리로 부터의 어드레스 연산명령에 따라 어드레스를 연산하고, 어드레스의 패턴데이터를 생성하는 어드레스 연산부를 포함하는 것을 특징으로 하는 메모리 시험장치.

도면

도면1

(종례기술)

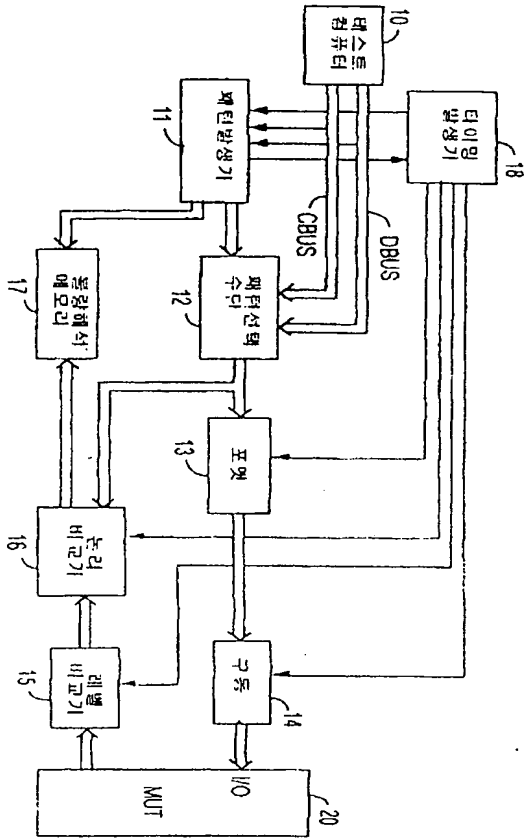




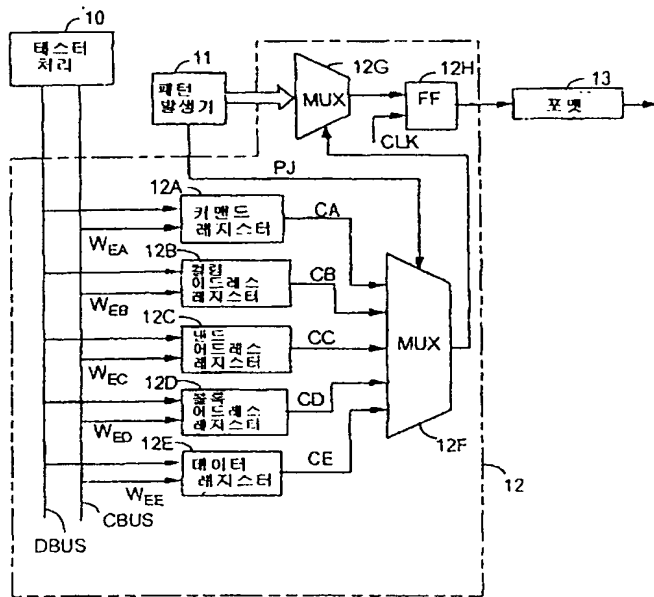
(종래기술)

번	IO-1	IO-2	IO-3	IO-4	IO-5	IO-6	IO-7	IO-8	신호
1	C0	C1	C2	C3	C4	C5	C6	C7	키보드
2	A0	A1	A2	A3	A4	A5	A6	A7	컴퓨터 레스
3	A8	A9	A10	A11	A12	A13	A14	A15	컴퓨터 레스
4	A16	A17	A18	A19	A20	A21			컴퓨터 레스
5	D0	D1	D2	D3	D4	D5	D6	D7	데이터 DAT

(종래기술)



도 1



도면 4

